

(51) Int.Cl.<sup>8</sup>  
 H 04 N 7/08  
 7/081  
 H 04 L 12/56  
 H 04 N 7/24

識別記号

F I  
 H 04 N 7/08 Z  
 H 04 L 11/20 102 F  
 H 04 N 7/13 Z

(21)出願番号 特願平9-282121  
 (22)出願日 平成9年(1997)10月15日  
 (31)優先権主張番号 1996-62035  
 (32)優先日 1996年12月5日  
 (33)優先権主張国 韓国 (KR)

審査請求 未請求 請求項の数2 OL (全4頁)

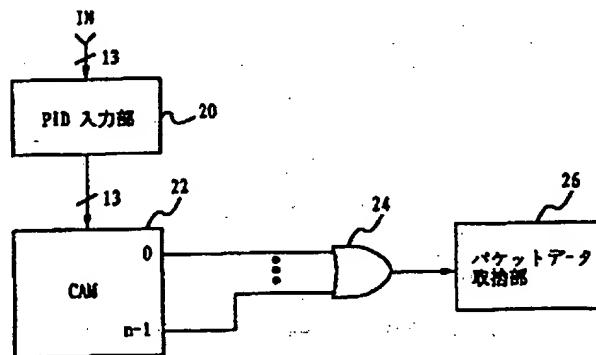
(71)出願人 390019839  
 三星電子株式会社  
 大韓民国京畿道水原市八達区梅灘洞416  
 (72)発明者 朴商奉  
 大韓民国京畿道龍仁市器興邑農春里山14番  
 地  
 (74)代理人 弁理士 三好秀和 (外1名)

## (54)【発明の名称】MPEG2デマルチプレクサのパケット識別子(PID)フィルタ及びそのフィルタリング方法

## (57)【要約】

【課題】コンテントアドレサブルメモリ(CAM: Content Addressable Memory)を用いてPIDを比較するMPEG2デマルチプレクサのPIDフィルタを提供すること。

【解決手段】本発明によるMPEG2デマルチプレクサのPIDフィルタは、所定ビット数を有するパケット識別子(PID)を入力して蓄積するPID入力手段と、所定数の使用者一プログラム可能PIDを蓄積し、前記PID入力手段に蓄積された前記PIDと前記使用者一プログラム可能PIDを並列にし、比較された前記所定数の結果を出力するコンテントアドレサブルメモリ手段と、前記コンテントアドレサブルメモリ手段から出力される前記所定数の結果を論理和して出力する論理和と、前記論理和の出力に応じて、入力されるパケットデータの取捨を選択するパケットデータ取捨手段とを備えることを特徴とする。



## 【特許請求の範囲】

【請求項1】 所定ビット数を有するパケット識別子(PID)を入力して蓄積するPID入力手段と、所定数の使用者一プログラム可能PIDを蓄積し、前記PID入力手段に蓄積された前記PIDと前記使用者一プログラム可能PIDを並列に比較し、比較した前記所定数の結果を出力するコンテントアドレサブルメモリ手段と、前記コンテントアドレサブルメモリ手段から出力される前記所定数の結果を論理和して出力する論理和と、前記論理和の出力に応じて、入力されるパケットデータの取捨を選択するパケットデータ取捨手段とを備えることを特徴とするMPEG2デマルチプレクサのPIDフィルタ。

【請求項2】 MPEG2デマルチプレクサのパケット識別子(PID)フィルタで行われるPIDフィルタリング方法において、所定ビット数を有するPIDを使用者一プログラム可能PIDとそれぞれ並列に比較する段階、及び前記比較した結果に相応してパケットデータの取捨選択を決定する段階を備えることを特徴とするMPEG2デマルチプレクサのPIDフィルタで行われるフィルタリング方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はMPEG(Moving Picture Experts Group)-2システムの復号器に係り、特にMPEG2デマルチプレクサ(demultiplexer)のパケット識別子(Packet Identification:以下、PIDという)フィルタ及びそのフィルタで行われるフィルタリング方法に関する。

## 【0002】

【従来の技術】MPEG2システム復号器のデマルチプレクサは多重ビット列を入力して分離し、分離された個別ビット列を出力する機能を行う。

【0003】このようなMPEG2デマルチプレクサのPIDプロセッサで行われるいろいろの機能中には、PIDインデックス0からPIDインデックスn-1までn個の使用者一プログラム可能(user-programmable)PIDと実際に入力されるパケットPIDを比較し、比較の可否によって次の状態を決定する機能があり、このような機能はPIDフィルタで行われる。

【0004】以下、従来のPIDフィルタの比較機能を添付図面を参照して説明する。

【0005】図3は従来のPIDフィルタの機能を説明するためのフローチャートであり、入力されるPIDと使用者一プログラム可能PIDを比較してパケットデータの取捨を選択する段階(第10～第18段階)からなっている。

【0006】従来のPIDフィルタのn×13(ワード×ビット)の大きさを有するRAM(図示せず)は、入力されるデータのうちプログラム関連テーブル(PAT: Program Association Table)を通して0からn-1まで使用者が定義したPID値を初期設定値として書き込む(write)。ここで、PATはPIA="0"のパケットによって伝送される特殊情報であって、16ビットの各プログラム番号ごとにそのプログラムの構成要素を記述するテーブル(一つのプログラムのディレクトリテーブルとしてのプログラムマップテーブル)を伝送する伝送パケットのPIDを指す。従来のPIDフィルタはRAMの初期化後にn×13(ワード×ビット)の大きさを有するSRAM(Static RAM)に蓄積されたn個の使用者一プログラム可能(user-programmable)PIDデータと入力されるPIDを比較して、互いに一致するかを判断する(第10段階)。もし一致しなければ、SRAM(図示せず)に蓄積された使用者一プログラム可能PIDが最終PIDであるかを判断する(第12段階)。その使用者一プログラム可能PIDが最終PIDであれば、入力したパケットデータを捨てる(第16段階)。しかし、最終PIDでなければ、SRAMのアドレスを1つ増加させて(第14段階)次の使用者一プログラム可能PIDが現在入力されるPIDと一致するか否かを再び判断する(第10段階)。第10段階後、入力されるPIDが使用者一プログラム可能PIDであれば、入力されるパケットデータを取る(第18段階)。

【0007】前述した従来の比較機能を行うPIDフィルタはPIDの比較機能を順次行うために、最悪の場合、n-1ワードサイズのシステムクロック時間が必要になる問題点がある。

【0008】

【0009】本発明の他の目的は、前記本発明によるMPEG2デマルチプレクサのPIDフィルタで行われるフィルタリング方法を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明によるMPEG2デマルチプレクサのPIDフィルタは、所定ビット数を有するパケット識別子(PID)を入力して蓄積するPID入力手段と、所定数の使用者一プログラム可能PIDを蓄積し、前記PID入力手段に蓄積された前記PIDと前記使用者一プログラム可能PIDを並列に比較し、比較された前記所定数の結果を出力するコンテントアドレサブルメモリ手段と、前記コンテントアドレサブルメモリ手段から出力される前記所定数の結果を論理和して出力する論理和と、前記論理和の出力に応じて、入力されるパケットデータの取捨を選択するパケットデータ取捨手段とを備えることを

特徴とする。

【0011】前記他の目的を達成するために、本発明によるMPEG2デマルチプレクサのパケット識別子(PID)フィルタで行われるPIDフィルタリング方法は、所定ビット数を有するPIDを使用者ープログラム可能PIDとそれぞれ並列に比較する段階、及び前記比較された結果に相応して前記パケットデータの取捨選択を決定する段階を備えることを特徴とする。

【0012】

【発明の実施の形態】以下、本発明によるMPEG2デマルチプレクサのPIDフィルタの構成及び動作を添付図面を参照して説明する。

【0013】図1は本発明によるPIDフィルタのブロック図であり、所定ビット数を有するPIDを入力として蓄積するPID入力部20と、所定数の使用者ープログラム可能PIDを蓄積し、PID入力部20に蓄積されたPIDと使用者ープログラム可能PIDを並列に比較し、比較された所定数の結果を出力するCAM22と、前記CAM22から出力される所定数の結果を論理和として出力する論理和24と、前記論理和24の出力に応じて、入力されるパケットデータの取捨を選択するパケットデータ取捨部26とから構成される。

【0014】図2は図1に示したCAM22の基本的なセル回路図であり、SRAMセル30及びビット比較部32から構成されている。

【0015】図2に示したCAMセルは比較機能を持ちながら、一般にSRAMで行われるデータの読み出し/書き込み(read/write)機能を同一に行うメモリの一種である。即ち、SRAMセル30は入力端子IN1を通して入力したビットと入力端子IN2を通して入力したワードをそれぞれ蓄積する。比較動作時、蓄積されたメモリデータとデータビットがビット比較部32で比較される。全てのビットが一致される時、ビット“1”的マッチフラグ(match flag)がビット比較部32の出力端子OUTを通して出力される。

【0016】図1に示したCAM22の初期化は従来の上述したSRAMの初期化と同一である。即ち、使用者定義(usrer-defined)PID値の初期化は、PATを通して0からn-1までPID値をCAM22に書き込む

(write)ことによりなされる。

【0017】初期化後、PID入力部20の入力端子INを通して13ビットのPIDが入力されて蓄積され、蓄積された伝送パケットのPIDはCAM22に蓄積されたn個の使用者ープログラム可能PIDと並列に比較される。n個の使用者ープログラム可能PIDのうち、PID入力部20からもってきたPIDと一致するものがあれば、ビット“1”的マッチフラグが論理和24へ出力される。即ち、このような動作が並列に行われ、入力されたPIDとn個の使用者ープログラム可能PIDがそれぞれ比較されて、n個の比較結果が論理和24へ一時に出力される。

【0018】論理和24は0番地からn-1番地までn個のマッチフラグを論理和し、論理和の結果をパケットデータ取捨部26へ出力する。パケットデータ取捨部26は、論理和24の出力値が“1”であれば、n個の使用者ープログラム可能PID中の一つは入力されたPIDと同一なので、パケットデータは選択してプロセッサへ出力し、他のプロセッサでパケットデータのパーサリング(Parsing)が行われる。しかし、論理和24の出力が“0”であれば、入力PIDと一致するPIDが存在しないので、入力されたパケットデータは捨てられる。

【0019】

【発明の効果】上述したように、本発明によるMPEG2デマルチプレクサのPIDフィルタ及びそのフィルタリング方法は、CAMを用いてPID値を並列に比較することにより、従来最悪の場合にn-1ワードサイズのシステムクロックが必要であったのが2クロックに減るために高速のPIDフィルタリング機能が可能となり、更に、13ビットの比較器、アドレスカウンタ及びアドレス発生器などのハードウェアが不要なので、ハードウェアへの具現化が容易になるという効果がある。

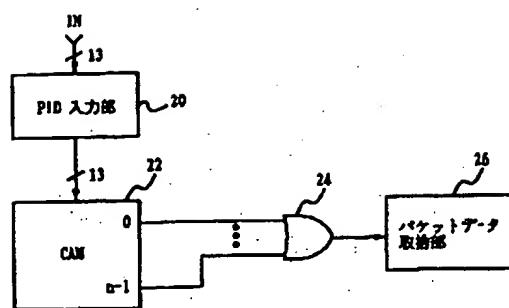
【図面の簡単な説明】

【図1】本発明によるPIDフィルタのブロック図である。

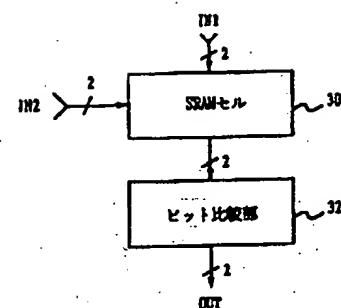
【図2】図1に示したCAMの基本的なセル回路図である。

【図3】従来のPIDフィルタの機能を説明するためのフローチャートである。

【図1】



【図2】



【図3】

